

POWERED BY Dialog

BEST AVAILABLE COPY

---

**NONVOLATILE SOLID MAGNETIC MEMORY, ITS MANUFACTURING METHOD AND MULTICHIP PACKAGE****Publication Number:** 2003-115578 (JP 2003115578 A) , April 18, 2003**Inventors:**

- KOGANEI AKIO

**Applicants**

- CANON INC

**Application Number:** 2001-310014 (JP 2001310014) , October 05, 2001**International Class:**

- H01L-027/105
- G11C-011/14
- H01F-010/16
- H01F-010/32
- H01L-043/02
- H01L-043/08
- H05K-009/00

**Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a nonvolatile solid state memory capable of high speed recording/reproduction by protecting an MRAM appropriate to a WLP age from an external magnetic field thereby preventing an erroneous operation due to the external magnetic field and enhancing stability in the recording/ reproducing operation of the memory element. **SOLUTION:** An MRAM chip 100 is covered with an insulation layer 101 and further covered with a magnetic shield structure 102 except parts of electrode pads 103a and 103b becoming the interface with the outside (fig. (a)). An MRAM chip 111 and a second device 112 are stacked through die connection layers 113 and 114, respectively. The MRAM chip 111 is connected with the device 112 by means of a bonding wire 116 and connected with a semiconductor mounting substrate 110 by means of a bonding wire 117. An interposer 119 is formed on the semiconductor mounting substrate 110 and connected with an external circuit through solder balls 120 on the rear surface. The entirety is sealed with a resin package 115 (fig. (b)). **COPYRIGHT:** (C)2003,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 7621727

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-115578

(P 2003-115578A)

(43) 公開日 平成15年4月18日 (2003. 4. 18)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L	27/105	G 1 1 C 11/14	Z 5E049
G 1 1 C	11/14	H 0 1 F 10/16	5E321
H 0 1 F	10/16	10/32	5F083
	10/32	H 0 1 L 43/02	Z
H 0 1 L	43/02	43/08	Z
審査請求 未請求 請求項の数 2 1 O L		(全 1 4 頁) 最終頁に続く	

(21) 出願番号 特願2001-310014 (P2001-310014)

(22) 出願日 平成13年10月5日 (2001. 10. 5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小金井 昭雄

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

F ターム (参考) 5E049 AA04 BA30

5E321 AA22 AA23 AA50 BB44 BB53

GG05 GG07

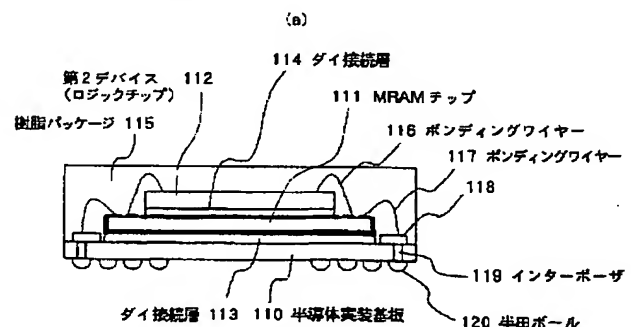
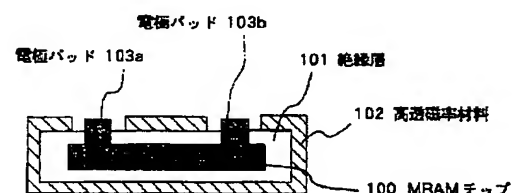
5F083 FZ10 GA13 MA06 MA19 ZA23

(54) 【発明の名称】 不揮発固体磁気メモリ装置、該不揮発固体磁気メモリ装置の製造方法およびマルチ・チップ・パッケージ

(57) 【要約】

【課題】 WLP時代に相応しいMRAMを外部磁界から守り、外部磁界による誤動作を防止すること、並びにメモリ素子の記録再生動作の安定性を高め、高速に記録再生可能な不揮発固体メモリを実現する。

【解決手段】 MRAMチップ100は絶縁層101で覆われ、外部とのインターフェースとなる電極パッド103a, 103bの部分を除き磁気遮蔽構造102で周囲を覆われた構造となっている (図 (a))。また、MRAMチップ111と第2デバイス112はそれぞれダイ接続層113, 114を介して重畳してある。MRAMチップ111とデバイス112の間はボンディングワイヤー116で接続され、MRAMチップ111と半導体実装基板110の間はボンディングワイヤー117で接続されている。半導体実装基板110にはインターポーザ119が形成されて、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている (図 (b))。



(b)

## 【特許請求の範囲】

【請求項 1】 基板上にマトリクス状に配置された磁気抵抗素子、該磁気抵抗素子に接続されたビット線、前記磁気抵抗素子に磁界を印加するための書き込み線、および電界効果トランジスタからなる複数のメモリ素子を有するMRAMチップと、前記MRAMチップの周辺に設けられたパッケージと、を有する不揮発固体磁気メモリ装置において、前記MRAMチップを外部散乱磁界から遮蔽する磁気遮蔽構造を有することを特徴とする不揮発固体磁気メモリ装置。

【請求項 2】 前記磁気遮蔽構造が高透磁率材料よりなる請求項 1 に記載の不揮発固体磁気メモリ装置。

【請求項 3】 前記磁気遮蔽構造が前記パッケージを兼ねている請求項 1 に記載の不揮発固体磁気メモリ装置。

【請求項 4】 前記高透磁率材料が、前記MRAMチップと外部回路とのインターフェースとなる電極パッドの部分を除いたMRAMチップの周囲全体を覆っている請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 5】 前記高透磁率材料を、前記メモリ素子が配置されている領域に配した請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 6】 前記高透磁率材料を、前記メモリ素子が配置されている領域を上下に挟む位置に配した請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 7】 前記高透磁率材料が接地されている請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 8】 前記高透磁率材料の周囲が絶縁層で覆われている請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 9】 前記高透磁率材料がNi、Fe、Coのうち少なくとも一つの元素を含み、比透磁率が5000以上である請求項 1 に記載の不揮発固体磁気メモリ装置。

【請求項 10】 前記MRAMチップの一辺の幅をc、厚さをp、高透磁率材料の厚さをチップ面に水平方向をd、垂直方向をqとした場合に、 $c / (c+d)$ もしくは $p / (p+q)$ が0.9997以下である請求項 2 に記載の不揮発固体磁気メモリ装置。

【請求項 11】 前記磁気抵抗素子が第1磁性層および第2磁性層と該磁性層間に絶縁体を有する構造である請求項 1 に記載の不揮発固体磁気メモリ装置。

【請求項 12】 前記第1磁性層と第2磁性層の磁化容易軸が膜面垂直方向である請求項 11 に記載の不揮発固体磁気メモリ装置。

【請求項 13】 前記第1磁性層と第2磁性層の磁化容易軸が膜面水平方向である請求項 11 に記載の不揮発固体磁気メモリ装置。

【請求項 14】 前記第1磁性層もしくは第2磁性層が、希土類鉄族合金からなる請求項 12 に記載の不揮発固体磁気メモリ装置。

【請求項 15】 前記希土類鉄族合金のうち、希土類元

素がGd、Tb、Dyの少なくとも1種の元素を含み、鉄族元素がFe、Coのうち、少なくとも1種の元素を含む請求項 14 に記載の不揮発固体磁気メモリ装置。

【請求項 16】 前記第1磁性層と前記非磁性層間と、前記第2磁性層と前記非磁性層間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられている請求項 11 に記載の不揮発固体磁気メモリ装置。

【請求項 17】 MRAMチップと、他チップと、チップ間を電氣的に接続する接続手段と、チップ間を固定するダイ接続層と、半導体実装基板と、半導体実装基板と外部回路との電氣的接続を行う端子と、外部回路との電氣的接続を行う端子と、半導体実装基板との接続を行うインターポーザと、封止材料とからなるマルチ・チップ・パッケージにおいて、前記MRAMチップと、1つ以上の他チップとを半導体実装基板に対して重畳したことを特徴とするマルチ・チップ・パッケージ。

【請求項 18】 前記1つ以上の他チップが前記MRAMチップより半導体実装基板側に位置している請求項 17 に記載のマルチ・チップ・パッケージ。

【請求項 19】 前記チップ間を電氣的に接続する接続手段がワイヤーボンディングである請求項 17 に記載のマルチ・チップ・パッケージ。

【請求項 20】 前記半導体実装基板と前記外部回路との電氣的接続を行う端子が半田ボールである請求項 17 に記載のマルチ・チップ・パッケージ。

【請求項 21】 基板上に積層された第1磁性層と第2磁性層と前記磁性層間に積層された非磁性層とからなる磁気抵抗効果素子、前記磁気抵抗効果素子の上部に設けられたビット線、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線、および電界効果トランジスタからなるメモリ素子をマトリクス状に設けたMRAMチップを有する不揮発固体磁気メモリ装置の製造方法において、MRAMチップと外部回路とのインターフェースとなる電極パッドの部分を除きMRAMチップの周囲を外部散乱磁界を遮蔽する磁気遮蔽構造を設けることを特徴とする不揮発固体磁気メモリ装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、磁気抵抗効果を用いた不揮発の固体メモリ素子、およびメモリとそれらの磁気シールドパッケージ及びその製法に関するものである。

## 【0002】

【従来の技術】昨今では、携帯電話、PDAを中心としてモバイル端末の開発が盛んになっている。モバイル機器においては格納用メモリとして、大容量の不揮発性高速アクセスメモリの必要性が叫ばれている。近年、非磁性

層を強磁性層の間にはさみ込んだ磁気抵抗膜で巨大磁気抵抗効果 (Giant Magnet Resistance) が発見され、この現象を利用した磁気センサー、磁気メモリ素子 (以下、「MRAM」という) が注目を集めている。強磁性層/非磁性絶縁層/強磁性層と積層された薄膜の膜垂直方向に電流を流したときの電気抵抗の変化は、強磁性層のスピントラnsfer極率の差により、非磁性絶縁層をトンネルバリア層としたトンネル電流の変化として検知され、トンネル磁気抵抗効果 (TMR効果) と呼ばれている。TMR素子では高い磁気抵抗比が得られることから、MRAMや磁気ヘッドの実用化に向け開発が加速している。

【0003】MRAMでは2つの強磁性層とその間に挟んだ薄い非磁性層が情報を記憶する基本構造となる。非磁性層をはさみ込んだ強磁性層の磁化方向がそろっている場合と反平行な場合とで抵抗値が異なる現象を利用して、“0”、“1”の状態を記憶する。

【0004】情報の読み出しは、抵抗の絶対値で判断する絶対検出方式と、書き込みの際より弱い磁場を印加して、保磁力が低い方の強磁性層だけ磁化反転させて

“0”、“1”の状態を読み出す差動検出方式が知られている。

【0005】情報の書き込みは、絶対検出方式では、2つの強磁性層のうち、保磁力が低い一方の磁化方向を外部磁界で変化させることで行う。差動検出方式では2つの強磁性層のうち、保磁力が高い一方の磁化方向を外部磁界で変化させることで行う。磁気抵抗素子の近傍に配置した配線に電流を流し、発生する磁界を利用する方法が知られている。

【0006】MRAMは磁気的に記憶されるため放射線耐性に優れ、原理的に不揮発であり高速で書き込み回数の制限がない利点がある。既存の半導体技術を流用する事で高密度記録が容易に行えるので、将来的にはDRAMの置き換えが期待される。

【0007】磁気メモリにおいては、外部からの磁界によって記録情報が乱される恐れがある。格納された情報は、メモリセル近傍に配した配線の電流磁界で書き換えが行われるが、書き換えに要する磁界の大きさは10~50 [Oe] (790~3950 [A/m]) 程度に設定される。従って、これを超える磁界が想定外の要因で印加されると誤記録や誤動作の原因となり、メモリの信頼性を著しく損なうことになる。

【0008】特に近年では、携帯電話やノート型パソコン、PDA等、より高密度に高い機能を有するデバイスを実装する機器が爆発的に増加している。これらの機器においては、基板上にデバイスを並べる従来の方式と比べ飛躍的に集積度があがる技術としてチップ・サイズ・パッケージあるいはシステム・イン・パッケージといった、チップの裏面を利用して表面実装を実現する、あるいは、複数の異種プロセスチップを1パッケージ化して

実装密度を低減する方法が採用されている。

【0009】入力/出力 (I/O) 点数の増加に伴い、実装技術はワイヤボンディングの時代から bumps と呼ばれる厚膜メタル突起による表面実装の時代へと進化しており、300mmウエハ以降においては、広くこうしたウエハ・レベル・パッケージ (WLP) 技術が浸透していくことが予測されている。

【0010】さらに今後の展開として、システム・オン・チップと呼ばれ複数の機能デバイスを同一ウエハ上に混載する技術が研究開発されている。MRAMも高密度なパッケージが要求される上記の用途に組み込んで使用される。

【0011】中でも外部からの磁界が大きいケースとしては携帯電話が考えられる。携帯電話では電話の着信や、機器の動作状態を使用者に振動によって知らせるバイブレーション機能が普及している。バイブレーターとしては、偏心分銅を配した電磁モーターが広く用いられており、コアの有無を含め多様な種類が使用されている。このモーター周辺では通常より高い数10 [Oe] (790 [A/m]) 程度の磁界が存在するため、高密度に実装を行った場合にはパッケージ内部に対しても大きく変動する磁界が加わることになる。

【0012】図19は異種プロセスチップを1パッケージ化するスタックMCP (マルチ・チップ・パッケージ) の構造例を示すものである。同図において符号110は半導体実装基板、符号111は第1デバイス、符号112は第2デバイスを示す。第1デバイス111と第2デバイス112はそれぞれダイ接続層113、114を介して重畳してある。第1デバイス111と第2デバイス112の間はボンディングワイヤー116でコンタクトパッド同士が接続されている。第1デバイス111と半導体実装基板110の間はボンディングワイヤー117でコンタクトパッド同士が接続されている。半導体実装基板110にはインターポーザ (相互接続部) 119が形成されており、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている。このような構造においては従来とは比べ物にならない程、非常に過酷な電磁波環境にさらされる。換言すれば、パッケージ外部からのEMI環境だけでなく、他チップから発生するEMIにも耐性を持つ構造とする必要がある。

【0013】ここで提案されている磁気遮蔽構造に関して俯瞰する。

【0014】磁気抵抗効果膜をもちいた磁気ディスクのヘッドにおいて、特開2000-188435号公報には図20に見られるように磁気ディスクのヘッド部には書き込み磁界の影響を回避するための磁気シールドが読み取り部を囲むように設置される構造をとる。

【0015】また、局所的な磁気遮蔽を利用して電流磁界の利用効率を高めようという提案も数多く存在する。例えば、特開平09-204770号公報では、磁性体を利用し

て磁場を磁気メモリ・セル素子内に集中させ、記録・再生時に必要な電流を減少させることが開示されている。図21に示すようにメモリ素子の近傍に高透磁率材料からなる磁性体を配置することで、書き込み線による発生磁界を該当メモリセルに集中させる構造とするものである。

#### 【0016】

【発明が解決しようとする課題】今後MRAMを製品として実施していくためには、省電力化を図る必要がある。一般にMRAMにおける情報の記録再生には配線に流す電流により誘起される磁界を用いる場合が多い。したがって、省電力化を図るためには流す電流値を小さくするのが好ましい。

【0017】しかしながら、これを達成するためには、磁気抵抗素子の磁性膜の保磁力を小さくする必要がある。それによって外部からの磁界による誤書き込みなどの誤動作を誘発する恐れがあり、またこれは複数の回路を近接して設けるマルチパッケージなどの場合においては、特に顕著に現れる恐れがある。

【0018】そこで、本発明が解決しようとする第1の課題（目的）は、WLP時代に相応しいMRAMを外部磁界から守り、外部磁界による誤動作を防止することである。

【0019】また、第2の課題（目的）はメモリ素子の記録再生動作の安定性を高め、高速に記録再生可能な不揮発固体磁気メモリを実現することである。

#### 【0020】

【課題を解決するための手段】本発明者は鋭意検討の結果、以下の手段が課題を解決できることを見出した。

【0021】すなわち、基板上に積層された第1磁性層と第2磁性層と前記磁性層間に積層された非磁性層とからなる磁気抵抗素子と、前記磁気抵抗素子の上部に設けられたビット線と、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線と、電界効果トランジスタからなるメモリ素子を、マトリクス状に設けたMRAMチップにおいて、MRAMチップ近傍に高透磁率材料を配したことを特徴とする磁気遮蔽構造である。

【0022】ここで、前記高透磁率材料が、MRAMチップと外部回路とのインターフェースとなる電極パッドの部分を除いたMRAMチップの周囲を覆っていることが好ましい。

【0023】前記高透磁率材料を、前記メモリ素子がマトリクス状に配置されている領域に配することが好ましい。

【0024】前記高透磁率材料を、前記メモリ素子がマトリクス状に配置されている領域を上下に挟む位置に配することが好ましい。

【0025】前記高透磁率材料が接地回路に接続されていることが好ましい。

【0026】前記高透磁率材料の周囲が絶縁層で覆われ

ていることが好ましい。

【0027】前記高透磁率材料がNi、Fe、Coのうち少なくとも一つの元素を含み、比透磁率が5000以上であることが好ましい。

【0028】前記MRAMチップの一边の幅をc、厚さをp、高透磁率材料の厚さをチップ面に水平方向をd、垂直方向をqとした場合に、 $c / (c + d)$  もしくは  $p / (p + q)$  が0.9997以下であることが好ましい。

【0029】前記非磁性層が絶縁体であることが好ましい。

【0030】前記第1磁性層と第2磁性層の磁化容易軸が膜面垂直方向であることが好ましい。

【0031】前記第1磁性層と第2磁性層の磁化容易軸が膜面水平方向であることが好ましい。

【0032】前記第1磁性層もしくは第2磁性層が、希土類鉄族合金からなることが好ましい。

【0033】前記希土類鉄族合金のうち、希土類元素がGd、Tb、Dyの少なくとも1種の元素を含み、鉄族元素がFe、Coのうち、少なくとも1種の元素を含むことが好ましい。

【0034】前記第1磁性層と前記非磁性層間と、前記第2磁性層と前記非磁性層間の少なくとも一方に、Fe、Coのうち、少なくとも一つの元素を含む磁性層が設けられていることが好ましい。

【0035】さらに、前記磁気遮蔽構造を有するMRAMチップと、1つ以上の他チップと、チップ間を電氣的に接続する接続手段と、チップ間を固定するダイ接続層と、半導体実装基板と、半導体実装基板と外部回路との電氣的接続を行う端子と、外部回路との電氣的接続を行う端子と、半導体実装基板との接続を行うインターポザと、封止材料とからなるマルチ・チップ・パッケージにおいて、前記磁気遮蔽構造を有するMRAMチップと、1つ以上の他チップとを半導体実装基板に対して重畳して1パッケージ化したことを特徴とするマルチ・チップ・パッケージも本発明に包含する。

【0036】ここで、前記マルチ・チップ・パッケージにおいて、前記1つ以上の他チップが前記磁気遮蔽構造を有するMRAMチップより半導体実装基板側に位置していることが好ましい。

【0037】前記マルチ・チップ・パッケージにおいて、チップ間を電氣的に接続する接続手段がワイヤーボンディングであることが好ましい。

【0038】前記マルチ・チップ・パッケージにおいて、チップ間を電氣的に接続する接続手段が半田ボールで接続されていることを特徴とする。

【0039】前記マルチ・チップ・パッケージにおいて、チップ間を電氣的に接続する接続手段がフリップチップボンディングであることが好ましい。

【0040】前記マルチ・チップ・パッケージにおいて、半導体実装基板と外部回路との電氣的接続を行う端

子が半田ボールであることが好ましい。

【0041】さらに、基板上に積層された第1磁性層と第2磁性層と前記磁性層間に積層された非磁性層とからなる磁気抵抗効果素子、前記磁気抵抗効果素子の上部に設けられたビット線、前記第1磁性層または第2磁性層の磁化方向を電流によって発生する磁界により変化させる書き込み線、および電界効果トランジスタからなるメモリ素子をマトリクス状に設けたMRAMチップを有する不揮発固体磁気メモリ装置の製造方法において、MRAMチップと外部回路とのインターフェースとなる電極パッドの部分を除きMRAMチップの周囲を外部散乱磁界を遮蔽する磁気遮蔽構造を設けることを特徴とする不揮発固体磁気メモリ装置の製造方法も本発明は包含する。

#### 【0042】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0043】図1は、本発明の磁気遮蔽構造の実施形態を示す断面図である。図1(a)において、MRAMチップ10は、絶縁層101で覆われている。さらに外部とのインターフェースとなる電極パッド103a、103bの部分を除き磁気遮蔽構造102で周囲を覆われた構造となっている。上記の構造とすることでMRAMチップ単体を外部磁界から遮蔽することが可能になる。

【0044】また図1(a)に示した基本的な構造は図1(b)に示すスタックMCPに適用することで、パッケージ外部からの磁界だけでなく、他チップから発生するEMIにも耐性を持つ構造とすることが可能になる。

【0045】図1(b)において、符号110は半導体実装基板、符号111は磁気遮蔽構造を有するMRAMチップ、符号112は第2デバイスを示す。MRAMチップ111と第2デバイス112はそれぞれダイ接続層113、114を介して重畳してある。MRAMチップ111とデバイス112の間はボンディングワイヤー116でコンタクトパッド同士が接続されている。MRAMチップ111と半導体実装基板110の間はボンディングワイヤー117でコンタクトパッド同士が接続されている。半導体実装基板110にはインターポーザ(相互接続部)119が形成されており、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている。

【0046】ここで、MRAMチップ111は図1(a)と同様に周囲を磁気遮蔽構造で覆われた構造となっている。磁気遮蔽構造としては高透磁率材料が好適である。図1(b)では高透磁率材料で覆われたイメージを太線で表記した。従って、MRAMチップ単体を外部磁界から遮蔽する構造としたことで、隣接する第2デバイス112や他の周辺回路から生じるEMI環境に対して著しく強い耐性を得ることが可能になった。

【0047】MRAMチップとはメモリセルとなる磁気抵抗効果膜が搭載された基板を指す。選択トランジスタと接続して形成された磁気抵抗効果膜、センス線やワード線

といったメモリ素子としての基本構成を含む。また情報の記録再生用の周辺回路も1チップ化して設けてもよい。

【0048】また図1(a)に示す高透磁率材料102が周囲の露出した形態では、高透磁率材料102が導電性を示すため他のデバイス間とで絶縁不良を引き起こす可能性がある。例えば、図1(b)に示すスタックMCPのダイ接続層103、104の材質によっては他のデバイス112や実装回路基板110との間でショートを起こして回路を破壊する危険性がある。

【0049】図3に示すように高透磁率材料102の周囲をさらに絶縁層104で覆う構造とすることが出来る。逆に高透磁率材料102が十分な絶縁性を保つのであれば図4に示すように電極パッド103a、103bの部分を除き高透磁率材料102で周囲を覆われた構造としても良い。

【0050】図1(a)において電極パッド103a、103bの部分を除き高透磁率材料102で覆う構造とした理由は、理想的な磁気遮蔽構造に近づけるためである。しかしながら、実際には、図5に示すようにチップの端部を省略し、メモリ素子がマトリクス状に多数配置されている領域を中心に高透磁率材料を配置するだけでも効果が認められる。もしくは、図6に示すように、高透磁率材料102を用い、メモリ素子がマトリクス状に配置されている領域を上下に挟む形にするだけでも良い。特に、垂直磁化膜を利用したMRAMチップの場合には、基板面に対し垂直方向に磁化が記録されているため、効果が高い。

【0051】磁気遮蔽構造に使用する高透磁率材料としては、パーマロイやフェライト、Co系非晶質材料、センダスト(Fe-Al-Si合金)、Fe-Co-Bの3元系等、各種の磁性体が用いられる。リードフレーム材料として従来から知られている42Ni-Fe系材料も強磁性体で比較的透磁率の高いNiを含むため適用可能である。形態としては薄膜をなし、複数層からなる複合体であっても良い。高透磁率材料の作成方法はドライ成膜、メッキなど各種方法を取ることが出来る。また、高透磁率材料とは比透磁率 $\mu_r$ が5000以上のものを高透磁率材料と定義する。

【0052】Ni-Fe合金のめっきは、異常共析型に属し、Niに比べてFeが析出し易やすい。Fe<sup>2+</sup>およびNi<sup>2+</sup>のイオン濃度を管理しないと、組成や膜質にバラツキを生じる。また、Fe<sup>2+</sup>イオンは空気酸化によりFe<sup>3+</sup>イオンとなるので、Fe<sup>2+</sup>イオンと全鉄イオンを管理しなければならない。パーマロイの場合はサッカリンの添加により容易に粒子の微細化が実現する。また再現性よくウエハ表面上に均一な流れを作り、電流密度の制御を行うことで良質の高透磁率材料を均質に作ることが可能になる。なお、膜厚に関する詳細は後述する。

【0053】図1(a)に示す高透磁率材料102は磁性材料であり導電性を有する場合が多い。従って、図2に示すように接地回路105と高透磁率材料102を接続するこ

とで所謂ベタアースを形成することが出来る。大きな接地面積をMRAMチップ周囲に得ることで電磁波ノイズシールドとして機能させることも可能である。

【0054】図1(a)に示す本発明の構造は断面構造のイメージを示すもので、電極パッド103a, 103bの構造次第では上下を逆転させることも可能である。具体的には電極パッドを半田ボール、もしくはバンブとすることでMRAMチップを対象物に押し付けて約250℃の半田リフロー工程を行うことによりチップ・サイズ・パッケージ

となる接合を得ることが出来る。この場合は、図1(b)に示すボンディングワイヤーの電極パッドスペースを減らし、第2デバイス112のサイズを拡大することが可能になる。ただし、BGA(ボール・グリッド・アレイ)構造に用いる半田ボールのピッチは0.4mm程度が限界のため、ボンディングワイヤーを用いる場合と比べ配線ピッチが広がる点は配慮が必要である。

【0055】また、図1(b)は本発明の適用例に過ぎず、MCP構造やチップ間の接続方式によって限定されるものではない。ワイヤーボンディング方式以外の高周波に対応可能なフリップチップ方式や、他のMCP構造においても成立する。

【0056】磁気遮蔽構造に用いる高透磁率材料に必要な膜厚は、MRAMが膜面に平行な磁化成分を持つ面内磁化膜型か、膜面に垂直な磁化成分を持つ垂直磁化膜型かで大きく異なる。NiFe, Co等の強磁性体は、磁化方向が膜面に平行な面内磁化膜型であり、TbFe, TbFeCo, GdFe等の希土類-遷移金属からなるフェリ磁性体を用いる場合は垂直磁化膜型である。磁気遮蔽の原理から、必要となる高透磁率材料の膜厚を算定することが可能である。

【0057】磁気遮蔽に関しては「詳解 電磁気学演習」(後藤憲一、山崎修一郎 共編、共立出版株式会社、ISBN4-320-03022-2)に記載されているように、内半径a、外半径bの、比透磁率 $\mu_s$ の中空球を、一様な磁界H0の中に置く時、球内の中空部に生じる磁界を求めることによって説明すると、外球表面の任意の点Bでの両側の磁界の接線成分と磁束密度の法線成分の連続より式

(1)と式(2)が得られる(図7)。また、内球面の任意の点Aでの同様の連続条件よりより式(3)と式

(4)が得られる(図7)。この4式からH1, H2, M1, M2が求められ、球内の中空部に生じる磁界H2は式(5)で表される(図7)。要するに、比透磁率 $\mu_s$ を大きくすれば、球内の中空部に生じる磁界H2は外部磁界H0に比べて非常に小さくなる。このとき、a/bが小さいほど効果が高いことを表している。つまり、磁氣的に遮蔽したい空間を比透磁率 $\mu_s$ が大きい材料で作った厚い壁で覆うことが望ましい。

【0058】図8は、上記のa/bとH2/H0の関係を示すグラフである。比透磁率 $\mu_s$ としては、高透磁率材料として知られるpermendur( $\mu_s=5000$ )、78permalloy( $\mu_s$

=10000)、sendust( $\mu_s=120000$ )の場合を示した。a/b=1すなわち、高透磁率材料の膜厚がゼロの場合には球内の中空部に生じる磁界H2は外部磁界H0と等しくなるため、全ての曲線はH2/H0=1に収束する。収束の仕方は、先述の通り $\mu_s$ が大きい材料ほどa/bが1に近くなってから急激に収束する形である。つまり、高透磁率材料の膜厚が薄くて良いことを示している。

【0059】図8の関係においてH2/H0をどこまで下げる必要があるかは外部磁界と磁気抵抗素子を形成する磁性膜の保磁力に依存する。内部磁界H2は先に述べた書き換えに要する磁界の大きさ(10~50[Oe])(790~3950[A/m])程度)としても、外部磁界H0は環境によるため一概に定義できない。しかしながら、例えば携帯電話において電話の着信や、機器の動作状態を使用者に振動によって知らせるバイブレーション機能に使用される電磁モーター周辺では通常より高い数10[Oe](790[A/m])程度の磁界が周囲に存在する場合が予想される。従って、H2/H0は0.5、すなわち外部磁界の50%とするのが妥当である。

20 【0060】上記の $\mu_s>5000$ とH2/H0<0.5の範囲を満足するa/bに関して、理想的な球形の磁気遮蔽構造に対して検討した結果、a/b<0.9997以下とすることで、外部磁界の影響を取り除く上では十分な性能を持つことを見出した。これは、半径1mmの球形磁気遮蔽構造では、厚さ0.3 $\mu$ mの高透磁率材料で覆うことを意味する。さらに外部磁界の影響を下げる上ではH2/H0<0.2としてa/b<0.9988以下が望ましい。これは、前記と同様な表現によれば半径1mmの球形磁気遮蔽構造では、厚さ1.2 $\mu$ mの高透磁率材料で覆うことを意味する。

30 【0061】以上のように、理想的な球形における磁気遮蔽構造に関する検討から、十分な磁気遮蔽構造を得る上ではa/b<0.9997以下とすることを見出した。次にデバイスチップ等のより具体的な形状において、どの程度の膜厚が必要になるかを検討した結果を示す。

【0062】図9は、本発明の磁気遮蔽構造で必要な高透磁率材料の膜厚を算定するための形状断面図である。同図において符号100はMRAMチップ、符号102は高透磁率材料を示す。ここでは仮にMRAMチップは平面的に正方形として、MRAMチップの幅と厚さをそれぞれc、d、高透磁率材料の幅と厚さをそれぞれp、qとしている。簡略化のため、図1(a)に見られた絶縁体101が省略されており、図9においてはMRAMチップ100に内包されていると見なす。

【0063】面内磁化膜を用いたMRAMチップに対して磁気遮蔽構造を取るためには、前述の通り面内方向への磁界の侵入を抑制する必要がある。従って、MRAMチップの幅(寸法c)に合わせて横方向に高透磁率材料の幅(寸法p)を確保することが要求される。

【0064】一方、垂直磁化膜を用いた磁気メモリの場合には、基板と垂直方向にかかる磁界に対処する必要が



ある。しかし、この場合は図9で明らかなようにMRAMチップの幅(寸法c)と比べて十分薄いMRAMチップの厚さ(寸法d)に合わせて縦方向に高透磁率材料の厚さ(寸法q)を決めるため、厚膜とする必要が無い。

【0065】図10を用いて本発明の効果を具体的に検証する。図10は前出の式(5)を用いて、外部磁界H0と磁気遮蔽構造の内部磁界H2の比を対象物の幅Wと高透磁率材料の膜厚をパラメータに計算したものである。高透磁率材料としては $\mu_s=5000$ とした。対象物の幅Wが1mmの場合には外部磁界は急激に減衰し、高透磁率材料の厚さが0.15 $\mu\text{m}$ で透過量が50%以下( $H2/H0$ が0.5以下)となる。一方、対象物の幅Wが25mm, 50mmと大きくなるにつれ、外部磁界は容易に減衰しなくなり、必要な高透磁率材料の厚さは厚くなる。対象物の幅Wが50mmの場合は高透磁率材料の厚さが8 $\mu\text{m}$ としてようやく $H2/H0$ が0.5以下となる。

【0066】上記の計算は球形に対するもので実際のチップ形状とは異なる。しかしながら、この計算は、チップに対し面内方向の磁界を抑制するための高透磁率材料の厚さ比べ、膜面垂直方向の磁界を抑制するための高透磁率材料の厚さは薄く出来ることを示している。

【0067】MRAMチップの幅は、製造に用いる微細加工装置によって変化する。高密度を実現するために最新鋭の露光装置を用いると仮定すると、ワンショットで露光できるフィールドサイズは縮小光学系が5対1のステッパの場合で概ね25mm角である。最近の集積回路は大規模化しており、周辺回路まで含めて接続露光を行ったり、露光面積が大きい他の露光装置と組み合わせてミックス&マッチで製造するケースが多いことから、チップ面積としては50mm角程度まで拡大している。

【0068】一方、MRAMチップの厚さは、製造に使用するウエハの厚さに依存する。8インチ(200mm)ウエハの規格はJEIDA, SEMIいずれも0.725mmであり、300mmウエハにおいても1mmを切る寸法である。

【0069】前述の通り、磁気メモリに格納された情報の書き換えに要する磁界の大きさは10~50[Oe] (790~3950[A/m])程度であり、隣接デバイスや外界からの磁界がどの程度MRAMに印加されるかは設計による。しかしながら、 $H2/H0$ が0.5以下という一つの基準を設けると、面内磁化膜を用いたMRAMチップの場合には、十分に外部磁界を下げるためには50mm角に対し8 $\mu\text{m}$ の高透磁率材料で覆う必要がある。しかし、膜厚がここまで厚くなると、ドライ成膜ではタクトタイムがかかりすぎる。また、電着やメッキを用いることになるが大量の原材料が必要であるだけでなく、液濃度の管理や電流密度の制御が困難であることから、膜自体や基板等との熱膨張率の差に起因する応力の制御や剥離などに対する耐久性の確保、膜厚均一性の保証が困難である。

【0070】一方、垂直方向の外部磁界を遮蔽する観点では膜厚方向の厚さを気にすればよいことになるため、

面内膜と同じ条件下において0.15 $\mu\text{m}$ で十分な効果が得られる。つまり、垂直磁化膜を用いたMRAMは磁気遮蔽構造をとる上で非常に有利なことが明らかである。両者の差は概ね50倍である。

【0071】従って、MRAMのパッケージとして必要な高透磁率材料の厚さとしては、垂直磁化膜を利用したMRAMに対しては0.2 $\mu\text{m}$ 、面内磁化膜を利用したMRAMに対しては10 $\mu\text{m}$ を目安とするのが適当である。

【0072】磁気抵抗膜の構成要素である第1磁性層と第2磁性層の組み合わせは軟磁性材料と硬磁性材料からなり、第1磁性層が軟磁性層、第2磁性層が硬磁性層とする組み合わせのみでなく、第1磁性層が硬磁性層、第2磁性層が軟磁性層とする組み合わせを用いても良い。差動検出方式において、軟磁性材料は容易に磁化が反転するため再生層として機能する。硬磁性材料は軟磁性材料と比べ、磁化が反転しにくいメモリ層として機能する。なお、本発明において、軟磁性材料と硬磁性材料の区別は2つの強磁性層間における保磁力の大小関係で定義されるもので、相対的に保磁力が大きいものを硬磁性材料とする。

【0073】また、第1磁性層、第2磁性層とは機能を示すもので、各磁性層自体は単一元素から成る単層の場合もあるが各種合金の多層構造でも良い。例えば、硬磁性材料として機能させるために第1(あるいは第2)磁性層として、厚さ5nmのCoと厚さ30nmのFeMnの二層構造としてピン止めしたものを用いることができる。第1磁性層および第2磁性層としては、TbFe、TbFeCo、GdFe等のフェリ磁性体を用いられる。これら二磁性層の組成は、その保磁力が異なるよう適宜調整される。第1磁性層、第2磁性層の膜厚は、2~100nmの範囲に選択するのが好適である。

【0074】垂直磁化膜の場合には、磁化の方向は、形状的に最も反磁界が大きい膜面垂直方向を向いており、垂直磁気異方性を示す時点で既に最大の反磁界係数に打ち勝っている。そのため、素子を微細化した場合でもカーリングは発生しにくい。また、面内磁化膜のように、カーリングを防止するため平面的な形状を長方形とする必要もないため、メモリセル部の集積度を向上する上では、垂直磁化膜は面内磁化膜と比べ有利である。

【0075】上述したように磁気抵抗膜の積層方向の抵抗は、第1磁性層と第2磁性層の磁化の相対角度によって決まる。両者が平行な場合には抵抗が低くなり、反平行な場合には抵抗は高くなる。アップスピンとダウンスピンの状態密度の差が大きい方が磁気抵抗が大きくなり、再生信号が大きくなるため、第1磁性層と第2磁性層の間の絶縁層の界面近傍にはスピン分極率の高い磁性材料を用いることが望ましい。具体的には、FeやCo等でこれらを主成分とする磁性材料を界面近傍にはさむことで理論上は50%に到達する抵抗変化が得られる。

【0076】FeとCoを含むこれらの磁性材料は面内磁化



膜であるものが多いが、膜厚を数nm程度以下と薄くすることで垂直磁化膜からなる第1磁性層及び第2磁性層と交換結合して垂直磁化膜として機能する。従って、磁化の方向は膜面垂直方向で統一されることになり、信号が小さくなることはない。

#### 【0077】

【実施例】さらに、本発明について、より具体的な実施例を挙げて説明する。

【0078】（実施例1）図1（b）は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとロジックデバイスを1チップ化した断面構造を示す。図1

（b）において、符号110は半導体実装基板、符号111はMRAMチップ、符号112はロジックデバイスを示す。MRAMチップ111とロジックデバイス112はそれぞれダイ接続層113、114を介して重畳してある。MRAMチップ111とロジックデバイス112の間はボンディングワイヤー116でコンタクトパッド同士が接続されている。MRAMチップ111と半導体実装基板110の間はボンディングワイヤー117でコンタクトパッド同士が接続されている。半導体実装基板110にはインターポーザ（相互接続部）119が形成されており、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている。

#### 【0079】垂直磁化膜を用いたMRAMチップ111は図1

（a）に示すように周囲を高透磁率材料102で覆われた構造となっている。ここで、図15に垂直磁化膜を用いたMRAMのメモリ素子の断面構造を示す。本実施例では、隣接するメモリセルと書き込み線を共用化している。なお、記号の記載のない部分は基本的に絶縁体を示す。図ではメモリ素子2つ分を表示しており、機能が同一でそれぞれに固有な部分についてはa、bと分けて表示している。半導体基板1には、ドレイン領域2a、2b、ソース領域3a、3bが形成され、さらに絶縁膜を介してゲート電極4a、4bが形成され、これらでMOSFET（電界効果型トランジスタ）が構成されている。各電界効果トランジスタ間はLOCOSフィールド酸化膜21によって絶縁されている。

【0080】電界効果トランジスタのドレイン領域2a、2bには、プラグ電極5a、5bを介して、ドレイン領域2a、2bの直上の位置に、膜面垂直方向に磁化した磁気抵抗膜9a、9bが接続され、さらにビット線6に接続されている。ソース電極22a、22bには、図示していないが接地配線が設けられている。また、磁気抵抗膜9a（9b）の側部下方には、絶縁体を介して書き込み線10、11（10、15）が磁気抵抗膜9a（9b）の両脇に設けられている。書き込み線10、11、15、ゲート線4、ソース電極に接続された接地配線は、紙面の垂直方向に伸びている。ビット線6は紙面平行方向に伸びている。

【0081】書き込み線10は、左側の磁気抵抗膜9aと右側の磁気抵抗膜9bの両者に対して使える構造となっている。従って、磁気抵抗膜9aに対し情報を記録する場合に

は書き込み線10、11を使用し、磁気抵抗膜9bに対し情報を記録する場合には書き込み線10、15を使用する。

【0082】図15を参照すると、磁気抵抗膜9a、9bと電界効果トランジスタのドレイン領域2a、2bとはプラグ5a、5bのみで接続されている。図15のメモリ素子においては、用いられている磁気抵抗膜が垂直磁化膜であるため、書き込み線10の発生磁界の膜面に対し垂直な成分を利用して記録や再生を行っている。面内磁化膜を利用したメモリ素子の場合には、磁性層の上か下に書き込み線を配して面内方向の電流磁界を印加する必要があるため、プラグから横方向にオフセットした位置に磁気抵抗膜を配置する必要があった。垂直磁化膜を利用したメモリ素子の場合には、その必要が無いため、よりシンプルでプロセス加工マージンの広がる設計が可能である。

【0083】また、垂直磁化膜を用いることによって、メモリ素子のサイズを小さくしても反磁界の影響によって、スピニングがカーリングすることがなく、安定に磁化を保つことが出来るため、面内磁化膜を利用したメモリ素子と比較して、磁気抵抗膜の幅／長さの比が1にでき、メモリセル面積が小さく出来、集積度を高めることが出来る。加工におけるフィーチャーサイズをFとするとセル面積は最小 $4F \times 2F = 8F^2$ まで小さくすることが出来る。

【0084】図11から図14は図15に示す実施例1のメモリ素子を作成するまでのプロセス工程図である。

【0085】まず始めに図11に示すMOSFETを半導体プロセスを用いて作成する。半導体基板1には、ドレイン領域2a、2b、ソース領域3a、3bが形成され、さらに絶縁膜を介してゲート電極4a、4bが形成され、これらでMOSFET（電界効果型トランジスタ）が構成されている。各電界効果トランジスタ間はLOCOSフィールド酸化膜21によって絶縁されている。

【0086】電界効果トランジスタのドレイン領域2a、2bには、プラグ電極5a、5bが形成され、また、その側部下方には、絶縁体を介して書き込み線10、11、15がプラグ電極5a、5bの両脇に設けられている。

【0087】次にマグネトロンスパッタを用いて磁気抵抗膜9を成膜する（図12）。途中、非磁性層である $Al_2O_3$ はプラズマ酸化を行って調質する。磁気抵抗膜（垂直磁化膜）の層構成は表1に示す。

#### 【0088】

【表1】

材料	膜厚(nm)
Pt	2
$Tb_{20}Fe$	30
$Al_2O_3$	1.5
$Gd_{27}Fe$	50
$Al_{90}Cu$	25
$SiO_2$	1000
Si wafer	

【0089】さらに、プラグ電極と接続するメモリセルとなる領域を規定する加工を行い、周囲を絶縁層で電気的に隔離する(図13)。磁気抵抗膜9a, 9bと接続するように紙面平行方向にビット線6を形成し、絶縁層で埋め込む(図14)。

【0090】最後にコンタクトパッド(不図示)の部分を除いて本発明である高透磁率材料30としてNiFeを0.2 $\mu$ mスパッタリングで基板の両面に対して成膜する(図15)。以上でMRAMチップが完成する。

【0091】これを図1(b)に示すスタックMCPとするプロセスは次の通りである。図1(b)を参照すると、まずロジックチップ112の裏面にダイ接続層114を圧着し、ロジックデバイス112とMRAMチップ111を接続する。次にMRAMチップ裏面にダイ接続層113を圧着し、インターポーザ119と半導体実装基板110に接続する。次にワイヤーボンディング工程を行い、MRAMチップ111とロジックデバイス112の間はボンディングワイヤー116で、MRAMチップ111と半導体実装基板110の間はボンディングワイヤー117で結線する。さらに、洗浄工程やヒートスプレッダー(不図示)取り付けなどを経てからトランスファーマールドを行い樹脂パッケージ115を形成する。最終的にBGAアレイ用の半田ボール120を形成して完成である。

【0092】本発明の構造とすることで、磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0093】(実施例2)図1(b)は本発明の実施例を示すもので、面内磁化膜を用いたMRAMチップとロジックデバイスを1チップ化した断面構造を示す。実施例1との主な違いはMRAMチップに面内磁化膜を使用した点で、MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同じである。表2に面内磁化膜の層構成を示す。

【0094】

【表2】

材料	膜厚(nm)
Pt	2
Co	30
Al <sub>2</sub> O <sub>3</sub>	1.5
NiFe	20
Al <sub>90</sub> Cu	25
SiO <sub>2</sub>	1000
Si wafer	

【0095】また、MRAMチップに面内磁化膜を使用しているため実施例1と比べ、高透磁率材料102を厚く成膜する必要があった。厚さは10 $\mu$ mで、無電解メッキ工程によりNiFeを形成した。

【0096】本発明の構造とすることで、磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0097】(実施例3)図1(b)は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとロジックデバイスを1チップ化した断面構造を示す。実施例1

との主な違いは、垂直磁化膜を用いたMRAMチップ111が図3に示すように高透磁率材料102の周囲に絶縁体を配した構造となっている点である。MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同じである。表1に垂直磁化膜の層構成を示した。

【0098】本発明の構造とすることで、実施例1と遜色ないレベルで磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0099】(実施例4)図1(b)は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとロジックデバイスを1チップ化した断面構造を示す。実施例1との主な違いは、垂直磁化膜を用いたMRAMチップ111が図5に示すようにチップ端部を除き高透磁率材料102で覆われた構造となっている点である。MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同じである。表1に垂直磁化膜の層構成を示した。

【0100】本発明の構造とすることで、実施例1と遜色ないレベルで磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0101】(実施例5)図1(b)は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとロジックデバイスを1チップ化した断面構造を示す。実施例1との主な違いは、垂直磁化膜を用いたMRAMチップ111が図6に示すようにメモリ素子がマトリクス状に配置される領域に対し上下に挟む位置に高透磁率材料102を配した構造となっている点である。MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同じである。表1に垂直磁化膜の層構成を示した。

【0102】本発明の構造とすることで、実施例1と遜色ないレベルで磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0103】(実施例6)図16は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとDRAMチップを1チップ化した断面構造を示す。本例は垂直磁化膜を用いたMRAMチップをDRAMチップの上に重畳する構成となっている。図16において、符号110は半導体実装基板、符号111はDRAMチップ、符号112はMRAMチップを示す。DRAMチップ111とMRAMチップ112はそれぞれダイ接続層113、114を介して重畳してある。DRAMチップ111とMRAMチップ112の間はボンディングワイヤー116でコンタクトパッド同士が接続されている。DRAMチップ111と半導体実装基板110の間はボンディングワイヤー117でコンタクトパッド同士が接続されている。半導体実装基板110にはインターポーザ(相互接続)119が形成されており、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている。高透磁率材料はNiFeを用いて0.2 $\mu$ mスパッタリングで形成した。

【0104】実施例1との主な違いはMRAMチップをDRAMチップの上に重畳する構成とした点で、MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同

じである。

【0105】本発明の構造とすることで、磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0106】（実施例7）図17は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとDRAMを1チップ化した断面構造を示す。本例は垂直磁化膜を用いたMRAMチップをDRAMチップの上に重畳する構成となっている。また、MRAMチップの電極パッドは半田ボールとしたため表面実装が可能になりDRAMチップとほぼ同じサイズとなっている。つまり、図1（b）において上下逆転させた形でDRAMチップに搭載できるようにしたということである。図17において、符号110は半導体実装基板、符号111はDRAMチップ、符号112はMRAMチップを示す。DRAMチップ111とMRAMチップ112はそれぞれダイ接続層113、114を介して重畳してある。DRAMチップ111とMRAMチップ112の間は半田ボール（不図示）で接続されている。DRAMチップ111と半導体実装基板110の間はボンディングワイヤー117でコンタクトパッド同士が接続されている。半導体実装基板110にはインターポーザ（相互接続部）119が形成されており、裏面の半田ボール120を介して外部回路と接続する。全体は樹脂パッケージ115で封止されている。高透磁率材料はNiFeを用いて0.2 $\mu$ mスパッタリングで形成した。

【0107】実施例1との主な違いはMRAMチップをDRAMチップの上に重畳する構成とした点と、MRAMチップの電極パッドは半田ボールとしたため表面実装が可能になりDRAMチップとほぼ同じサイズとなっている点である。MRAMチップの作成プロセスは電極パッドの作成方法が異なるのみで、それ以外は実施例1と同じである。また、スタックMCP化の手法はDRAMチップとMRAMチップの間の接続方法が半田ボール（不図示）でコンタクトパッド同士を繋ぐ方式に変えている点が異なるのみで、それ以外は実施例1と同じである。

【0108】本発明の構造とすることで、磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0109】（実施例8）図18は本発明の実施例を示すもので、垂直磁化膜を用いたMRAMチップとDRAMを1チップ化した断面構造を示す。実施例1との主な違いはMRAMチップをDRAMチップの上に重畳する構成とした点と、MRAMチップの高透磁率材料はベタアースとしてDRAMチップと接続されている点である。アース線121はMRAMチップ112の高透磁率材料とDRAMチップ111で共通化されている。MRAMチップの作成プロセス、スタックMCP化の手法などは実施例1と同じである。

【0110】本発明の構造とすることで、磁気的な錯乱に強いEMI耐性に優れたMRAMとすることが出来た。

【0111】

【発明の効果】以上説明したように本発明によれば、WLP時代に相応しいMRAMチップを有する不揮発固定磁気メモリ装置において、MRAMチップを外部散乱磁界から遮蔽

する磁気遮蔽構造を有するものとし、該磁気遮蔽構造を高透磁率材料により構成したり、MRAMチップ周辺に設けられたパッケージを前記磁気遮蔽構造で構成することにより、磁気抵抗効果を用いた不揮発固体メモリ装置を低コストで実現することができる。さらには、省電力化のために磁気抵抗素子の磁性膜の保磁力を小さくして省電力化を図る場合にも、メモリ素子の記録再生動作の安定性を高め、高速に記録再生可能な不揮発固体磁気メモリを実現することができる。

10 【図面の簡単な説明】

【図1】（a）は本発明の磁気遮蔽構造を示す断面図、（b）は本発明の磁気遮蔽構造の使用例としてスタックMCP構造とした断面図である。

【図2】本発明の1形態として高透磁率材料を接地した磁気遮蔽構造の断面図である。

【図3】本発明の1形態として高透磁率材料の外側を絶縁層で被覆した構造の断面図である。

【図4】本発明の1形態として高透磁率材料の絶縁性が高い場合の構造断面図である。

20 【図5】本発明の1形態として高透磁率材料をMRAMチップ端部では省略した磁気遮蔽構造の断面図である。

【図6】本発明の1形態として高透磁率材料をメモリ素子がマトリクス上に並ぶ領域のみ配した磁気遮蔽構造の断面図である。

【図7】磁気遮蔽構造の理論計算のための挿入図である。

【図8】理論計算より高透磁率材料の膜厚と磁界の相関を無次元量で示すグラフである。

30 【図9】チップ構造と高透磁率材料の寸法を定義するための断面図である。

【図10】理論計算より高透磁率材料の膜厚と磁界の透過率の相関を示すグラフである。

【図11】本発明の実施例に記載されているMRAMチップのプロセス図である。

【図12】本発明の実施例に記載されているMRAMチップのプロセス図である。

【図13】本発明の実施例に記載されているMRAMチップのプロセス図である。

40 【図14】本発明の実施例に記載されているMRAMチップのプロセス図である。

【図15】本発明の実施例に記載されているMRAMチップのプロセス図である。

【図16】本発明の実施例であるスタックMCP構造を示す断面図である。

【図17】本発明の実施例であるスタックMCP構造を示す断面図である。

【図18】本発明の実施例であるスタックMCP構造を示す断面図である。

50 【図19】従来例であるスタックMCP構造を示す断面図である。

【図20】従来例である特開2000-188435の磁気遮蔽構造を示す断面図である。

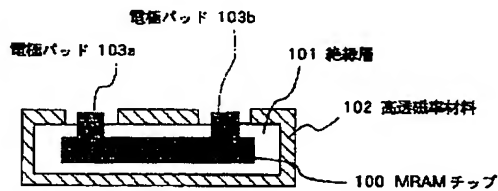
【図21】従来例である特開平09-204770の磁場集中構造を示す断面図である。

【符号の説明】

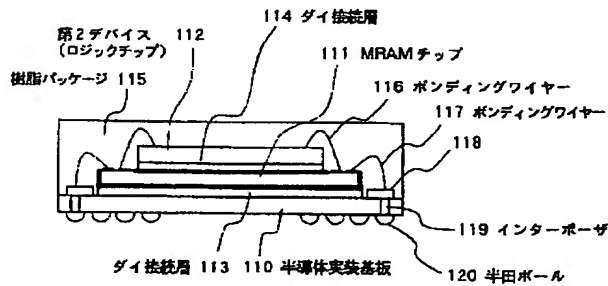
- 1 半導体基板
- 2 a、2 b ドレイン領域
- 3 a、3 b ソース領域
- 4 a、4 b ゲート電極
- 5 a、5 b プラグ電極
- 6 ビット線
- 9、9 a、9 b 磁気抵抗膜
- 10 書き込み線
- 21 LOCOSフィールド酸化膜
- 22 a、22 b ソース電極
- 25 絶縁層

- 30 高透磁率材料
- 100 MRAMチップ
- 101 絶縁層
- 102 高透磁率材料
- 103 a、103 b 電極パッド
- 110 半導体実装基板
- 111 第1デバイス (MRAMチップ、DRAMチップ)
- 112 第2デバイス (ロジックデバイス、MRAMチップ)
- 10 113、114 ダイ接続層
- 115 樹脂パッケージ
- 116、117 ボンディングワイヤー
- 119 インターポーザ (相互接続部)
- 120 半田ボール
- 121 アース線

【図1】

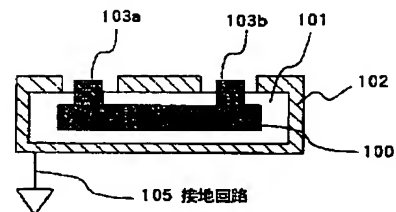


(a)

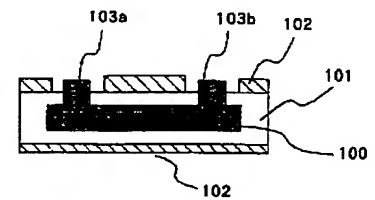


(b)

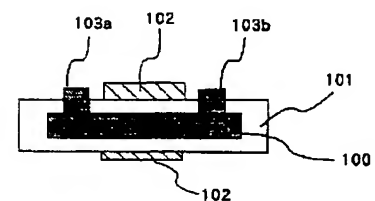
【図2】



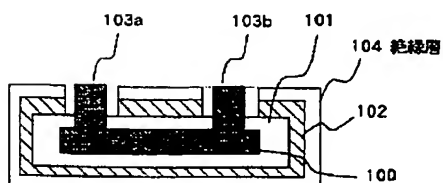
【図5】



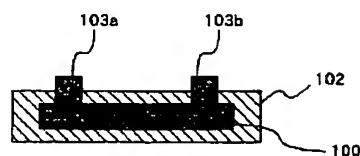
【図6】



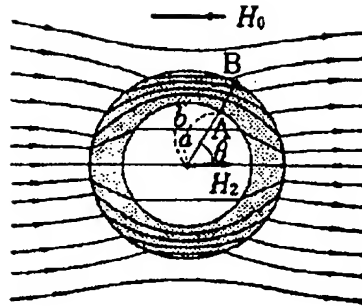
【図3】



【図4】



【図7】



$$H_0 \sin \theta - \frac{M_1 \sin \theta}{4\pi\mu_0 b^3} = H_1 \sin \theta - \frac{M_2 \sin \theta}{4\pi\mu b^3}$$

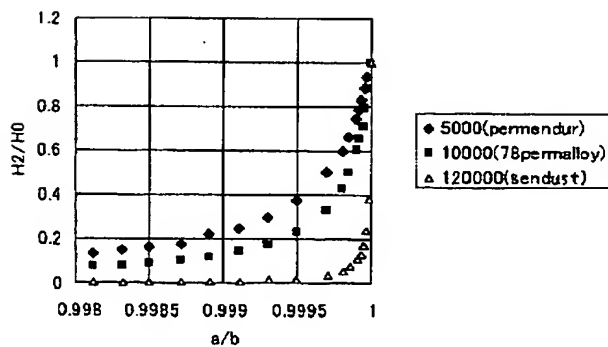
$$\mu_0 \left( H_0 \cos \theta + \frac{2M_1 \cos \theta}{4\pi\mu_0 b^3} \right) = \mu \left( H_1 \cos \theta + \frac{2M_2 \cos \theta}{4\pi\mu b^3} \right)$$

$$H_1 \sin \theta - \frac{M_2 \sin \theta}{4\pi\mu a^3} = H_2 \sin \theta$$

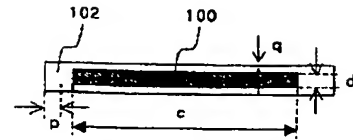
$$\mu \left( H_1 \cos \theta + \frac{2M_2 \cos \theta}{4\pi\mu a^3} \right) = \mu_0 H_2 \cos \theta$$

$$H_2 = \frac{9H_0}{9 + \frac{2(\mu_B - \mu)^2}{\mu_B} \left(1 - \frac{a^3}{b^3}\right)} \approx \frac{H_0}{1 + \frac{2}{9}\mu_B \left(1 - \frac{a^3}{b^3}\right)} \quad (\mu_B \gg 1) \quad \dots (5)$$

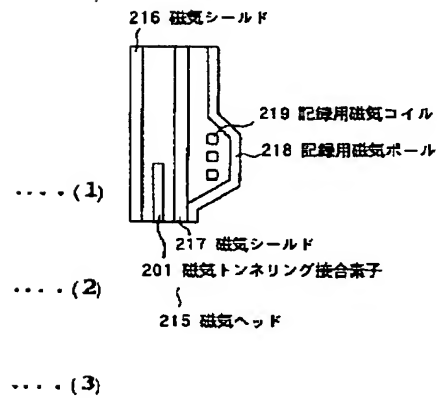
【図8】



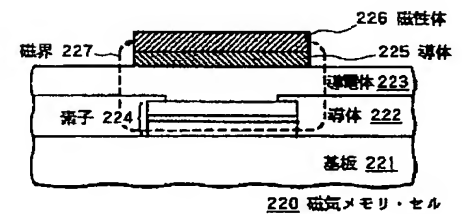
【図9】



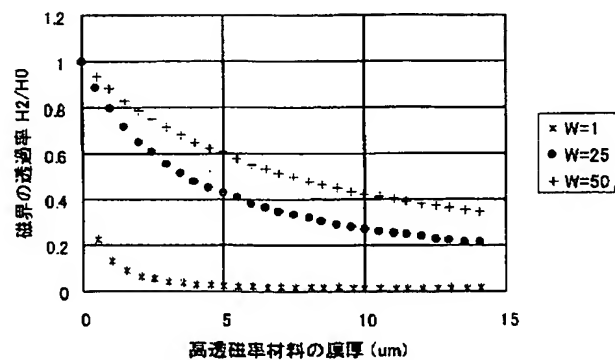
【図20】



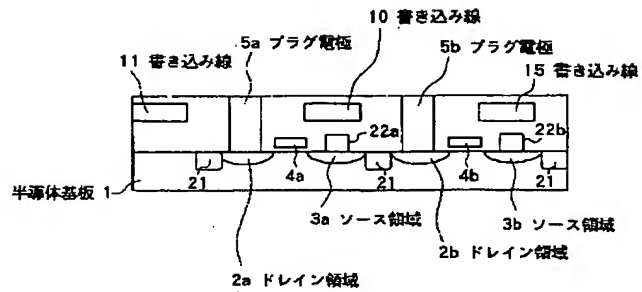
【図21】



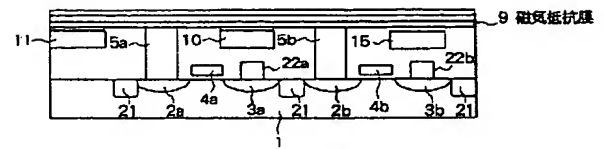
【図10】



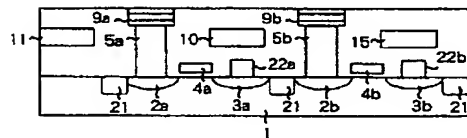
【図11】



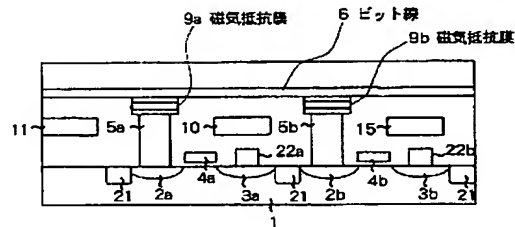
【図12】



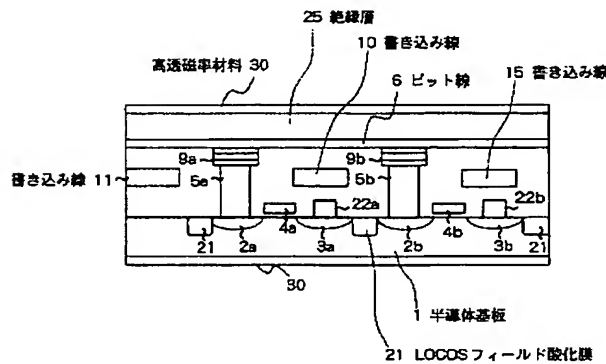
【図13】



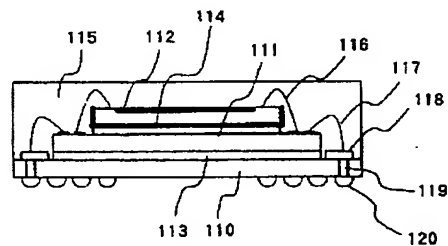
【図14】



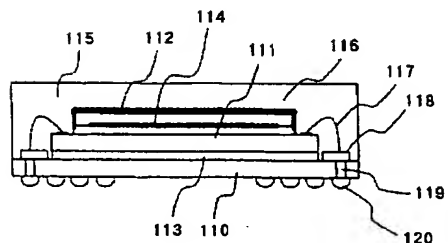
【図15】



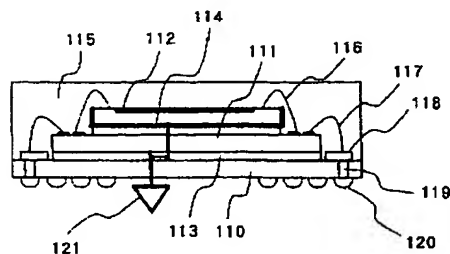
【図16】



【図17】

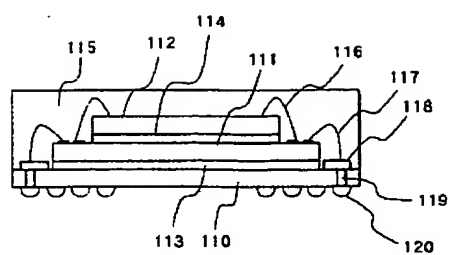


【図18】





【図19】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード\* (参考)

H 0 1 L 43/08

H 0 5 K 9/00

Q

H 0 5 K 9/00

H 0 1 L 27/10

4 4 7

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**